



ACM32FP421

高性能 32 位 SoC 芯片，128KB SRAM、2MB XIP-FLASH、SPI、UART、I2C、TIMER、IWDT、PCOM、TRNG、AES128/192/256、CRC。

产品特性

内核处理器

- 基于 ARMv8-M 架构，支持 Cortex-M33 和 Cortex-M4F 指令集，支持浮点运算和 DSP
- 支持 32 位单周期乘法和硬件除法（2-12 周期）指令
- 最高 180MHz 系统工作频率
- 内置 16KB 指令 Cache 及 8KB 数据 Cache，支持 Flash 加速单元执行程序 0 等待

存储器

- 16KB ROM
- 多达 128KB SRAM
- 内置 QSPI FLASH，容量 512KB/1MB/2MB，支持直接取指执行模式（eXecute-In-Place, XIP），支持 OTFDEC(AES-CTR)解密方式取指

时钟

- 内部 64MHz RC 振荡器
- 内部 32KHz RC 振荡器
- 4~32MHz 外部晶体振荡器
- 内置 PLL

安全特性

- 对称算法：AES128/192/256
- 随机数：TRNG，符合 FIPS140-2 要求
- CRC：CRC-7/-8/-16/-32，特征多项式可配
- 支持安全启动，程序加密下载，安全更新
- 128 位 UID
- LVD：低电压检测，可配置 8 阶比较电平

通用 IO

- 多达 24 个 GPIO，支持边沿/电平中断，支持位带操作
- 所有 I/O 口可以映像到 16 个外部中断，支持边沿/电平中断
- 所有端口均可输入输出电压不高于 VDD 的信号
- 4 个 5V 耐压 I/O 端口

- 4 路低功耗唤醒(WKUP)引脚

通信接口

- UART：2 路串口，支持 IrDA、LIN、硬件流控、多机通信、ISO7816 主机模式、波特率自适应
- SPI：2 路 SPI 接口，支持主/从模式，支持 Mode0/1/2/3 传输协议，支持 1/2/4 线传输。
- I2C：1 路 I2C 接口，可选择主/从模式，支持 Standard/Fast/Fast-Plus 三种速率模式

定时计数器

- 4 个 16 位通用定时器(TIM3/6/14/15)，支持 PWM 输出
- IWDT：1 个独立 WDT

模拟外设

- PCOM：1 个可编程模拟比较器，支持 3 通道，256 档位，其中一个通道用于 VBAT 电量检测

电气参数

- ESD：4KV（HBM）
- 工作电压：2.7V~3.6V
- 工作温度（Ta）：Ta-40℃~85℃
- 典型功耗：
 - 工作功耗：14 mA@180MHz
 - Stop 模式：285 uA@3.3V,25℃
 - Power Down 模式：1uA@3.3V,25℃（仅后缀为“-T”的型号支持 Power Down 模式）

封装形式

- QFN32(4X4)
- QFN20(3X3)

开发支持

- ROM BOOT、支持 UART/SPI 下载
- DAP/ULINK2/J-LINK SWD 接口调试
- ARM Keil MDK（5.29 版本及以上）
- 开发板/开发包，支持 SWD 离线下载

1. 产品描述

ACM32FP421 芯片的内核基于 ARMv8-M 架构，支持 Cortex-M33 和 Cortex-M4F 指令集。内核支持一整套 DSP 指令用于数字信号处理，支持单精度 FPU 处理浮点数据，同时还支持 Memory Protection Unit (MPU) 用于提升应用的安全性。内核性能高于 ARMv7-M 架构的 M4F 20%。

ACM32FP421 系列芯片最高工作频率可达 180MHz， 内置最大 128KB 的 SRAM、最大 2MB FLASH。芯片集成了 1 个可编程模拟比较器、4 个通用 16 位定时器、1 个独立看门狗，内置多路 UART、SPI、I2C 等丰富的通讯外设，内建 AES、CRC、TRNG 等算法模块。

应用场景

- 指纹门锁

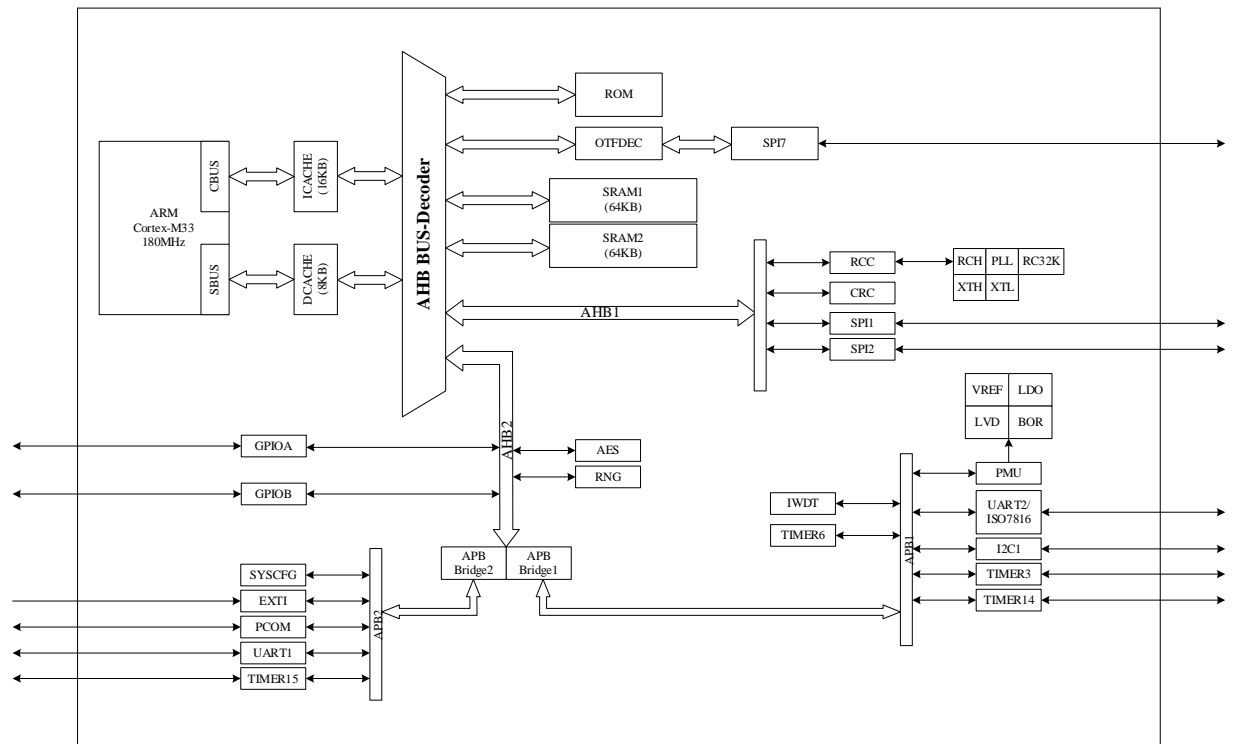
1.1. 产品资源

表 1-1 ACM32FP421 系列芯片资源表

Part Number		FGU6-Y	FIU6-Y FIU6-T	KGU6-Y KGU6-T	KIU6-Y KIU6-T
FLASH (KB)		1024	2048	1024	2048
SRAM (KB)		128	128	128	128
定时器	16 位通用	4	4	4	4
	SysTick	1	1	1	1
	IWDT	1	1	1	1
通讯接口	UART	2	2	2	2
	SPI	2	2	2	2
	I2C	1	1	1	1
PCOM 模拟比较器		3	3	3	3
LVD 低压检测		支持	支持	支持	支持
PWM 通道数		7	7	7	7
GPIO		16	16	24	24
算法	CRC	支持			
	HRNG	支持			
	AES	支持			
温度		Ta: -40~85°C Tj: -40~125°C			
封装		QFN20	QFN20	QFN32	QFN32
备注		后缀“-T”和“-Y”的区别： 后缀为“-Y”的型号不支持 Power Down 模式。 后缀为“-T”的型号支持 Power Down 模式。			

1.2. 系统框架

图 1-1 功能框图



说明:

1、AHB1 和 AHB2 的时钟频率一致且等于系统频率，APB1 和 APB2 的时钟频率由系统频率分频而来，分频比可独立配置。APB1 和 APB2 最高可工作于 180MHz。

2、工作在 APB 时钟下的 TIMER 内部时钟，如果 APB 时钟频率小于 AHB 时钟频率，那么 TIMER 的内部时钟频率为 APB 时钟频率乘以 2。

2. 功能概述

2.1. 处理器内核

内核处理器基于 ARMv8-M 架构。处理器包括两个总线接口分别称为 C-AHB 总线、S-AHB 总线：

C-AHB 总线：用于访问 ARMv8-M 存储架构下代码区的指令或数据。

S-AHB 总线：用于访问 ARMv8-M 存储架构下 SRAM 区、外部 RAM 区、外设区或厂商自定义系统区的指令或数据。

处理器功能强大，系统频率最高可达 180MHz，支持硬件加速，支持单精度浮点处理单元，支持数字信号处理指令，在安全方面，内核也集成了存储保护单元 MPU。

处理器结构框图如图 2-1 所示，寄存器组见图 2-2 所示。

图 2-1 处理器结构框图

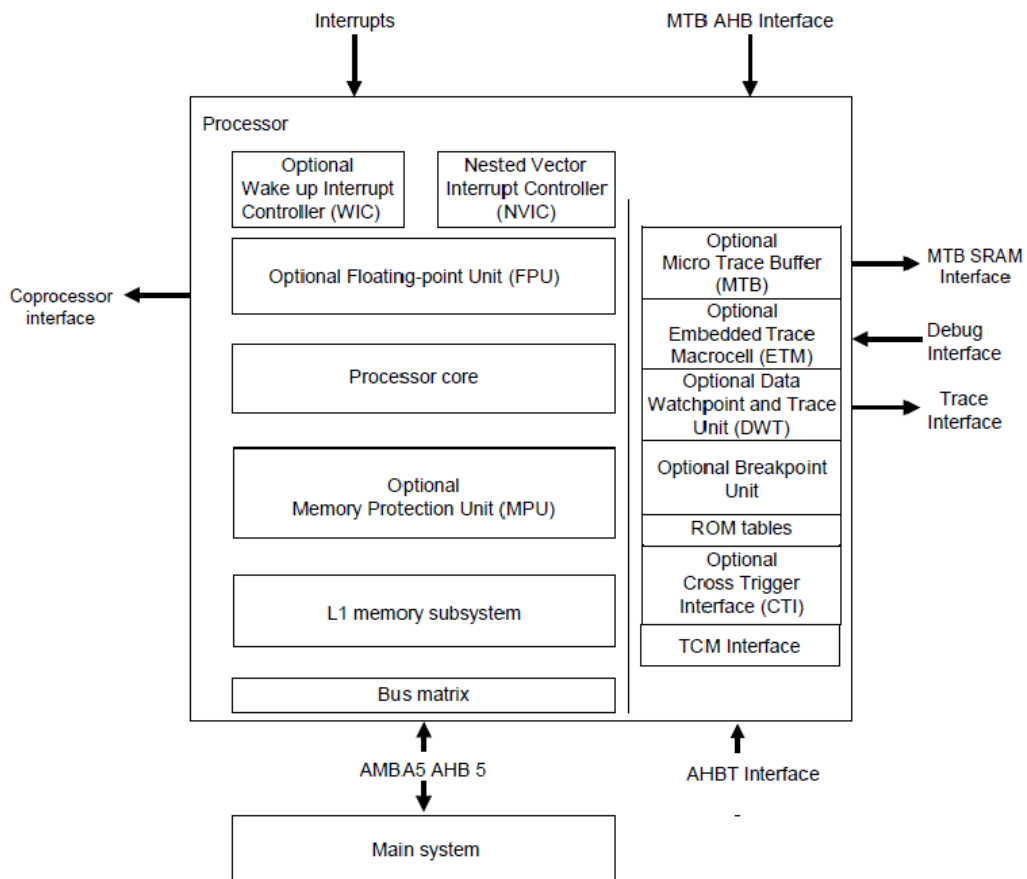
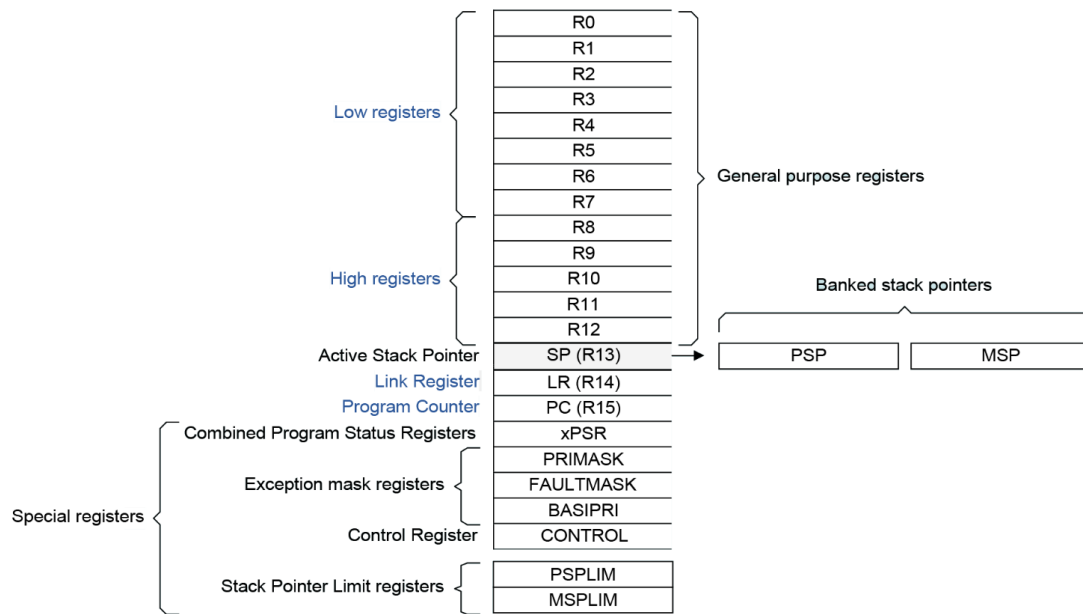


图 2-2 处理器寄存器组



2.2. 存储器

2.2.1. SRAM

芯片集成了多达 128KB 的 SRAM，支持字节、半字（16 位）以及字（32 位）访问。处理器可以以 180MHz 的系统频率无等待地访问 SRAM。

2.2.2. FLASH

芯片内部集成了 QSPI 接口的 FLASH，容量 512KB、1MB、2MB 不等，支持直接取指执行模式（eXecute-In-Place, XIP），OTFDEC(AES-CTR)解密方式取指。

2.3. 启动模式

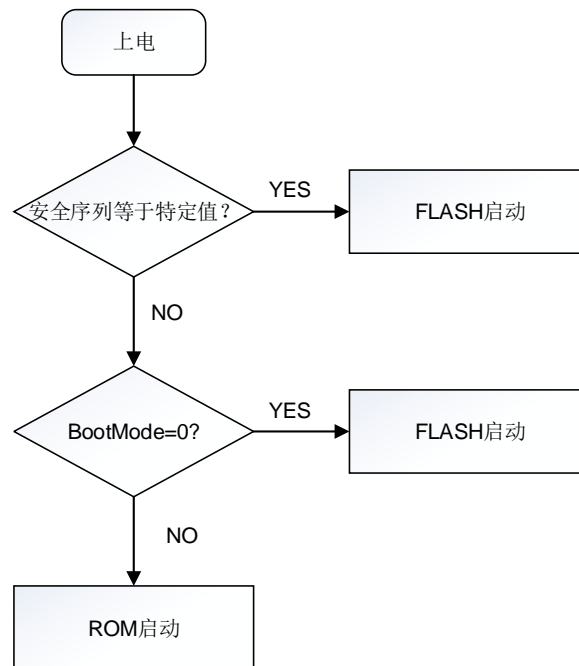
芯片有两种启动模式：ROM 启动和 Flash 启动。

系统上电时，芯片启动过程如下图所示：

- 1) 芯片硬件自动进行常规系统初始化
- 2) 芯片会读取安全序列字段和系统寄存器 WMR 的 BootMode 标志位，决定 Boot 空间。BootMode 标志位

由上电时 BOOT 引脚的高低电平决定。

3) 如果 boot 空间为 FLASH，则芯片读取存储配置信息、安全信息，然后从 FLASH 启动。



2.4. 复位和时钟单元 (RCU)

2.4.1. 复位源

芯片有多个复位源，包括 POR 复位，检测异常复位，看门狗复位，软复位等。具体复位源如下表：

RESET SOURCE	FUNCTION
POR12 复位	当芯片从 PowerDown 模式唤醒或芯片冷启动时，产生该复位
外部 NRST 管脚复位	复位信号来自于外部复位引脚，低电平有效
LVD_RSTN	低压检测复位
LOCKUP_RSTN	CPU LOCKUP 复位
SRST	软件复位
SYSREQRST	CPU SYSREQ 复位
IWDT_RSTN	看门狗复位

2.4.2. 时钟系统

ACM32FP421 共有 3 个系统时钟源：

- 内部高速 64MHz RC 振荡器时钟 RC64M
- 外部高速 4~32MHz 晶体振荡器时钟 XTH
- 内部锁相环时钟 PLL

除此之外，还有 1 个次级时钟源

- 内部低速 32KHz RC 振荡器时钟 RC32K，用于驱动独立看门狗，并用于低功耗模式下的自动唤醒

根据工作模式不同，采用不同时钟方案，通过配置时钟控制寄存器 CCR 来选择系统时钟的来源

2.5. 电源管理单元（PMU）

2.5.1. 供电电源

ACM32FP421 系列产品的工作电压（VDD）2.7~3.6V。

通过 VDDA/VDD 分别提供模拟电源和数字电源。主电源区内嵌 1 个电压调节器，用来为 1.2V 电压域供电。

2.5.2. 电源监控

- 上电复位（POR）和掉电复位（PDR）

POR 电压为 1.5V，在上电时当 VDD 由 0 变高未超过 1.5V 时，POR 保持复位状态，不需要外接复位电路，超过阈值后复位释放。PDR 电压为 1.45V，当 VDD 下降到低于此阈值时，PDR 产生复位。

- LVD 低电压检测

LVD 用于检测 VDD 供电电压是否低于低电压检测阈值，LVD 事件可从 STOP 模式唤醒。LVD 模块可以由软件使能和选择阈值，且支持数字滤波。

2.5.3. 低功耗模式

在芯片上电复位或者系统复位后，芯片处于运行模式（RUN）。芯片可以通过降低系统时间频率，或

者关闭不使用模块时钟的方法降低功耗。此外还提供了多种不同的低功耗模式来实现更低的功耗。用户需根据最低功耗需求、最快唤醒时间和唤醒方式和待机时候的工作需求等选择合适的低功耗模式。

2.5.3.1 低功耗模式描述

主要包括如下低功耗模式：

- 睡眠模式（SLEEP）：内核停止工作，外设保持工作
- 停止模式（STOP）：PLL、RC64M、XTH 时钟关闭；RC32K 时钟下的外设可以工作
- 断电模式（POWERDOWN）：除 WKUP 引脚唤醒功能外，其他功能都被关闭

低功耗模式详细描述如下表：

模式	模式描述	进入条件	退出条件
SLEEP	CPU 休眠；功能模块不休眠；软件可关闭各模块时钟。	1. 根据需要，关闭各外设模块时钟，仅留下需要监测中断事件的模块 2. 清除 Core 的 SLEEPDEEP 位，并执行 WFI/WFE 指令	1. 任何来自 EXTI/外设的中断或事件； 2. 如果是 WFI 唤醒，则进入中断服务程序清中断并返回； 3. 唤醒后，可继续执行后续指令
STOP	PLL、RC64M、XTH 时钟关闭；RC32K 时钟下的外设可以工作；LDO 的输出电压范围可通过寄存器来调节；LDO 进入低功耗模式	1. 设置 PMU_CTRL0 的 LPMS 位选择 STOP 模式； 2. 设置 Core 的 SLEEPDEEP 位并执行 WFI 或者 WFE。	1. 任何来自 EXTI/外设的中断或事件；唤醒后，可继续执行后续指令 2. RSTN 管脚复位/IWDT 复位可退出 STOP，再进入 STOP 前确保相应标志位被清除；唤醒后，程序重新从头开始执行
POWER DOWN	关闭主区和待机区电源	1. 设置 PMU_CTRL0 的 LPMS 位选择 POWERDOWN 模式； 2. 设置 Core 的 SLEEPDEEP 位并执行 WFI 或者 WFE。	1. WAKEUP 引脚（GPIOA0 和 GPIOC13）的有效电平/RSTN 管脚复位 2. 唤醒后，重新走上电过程

2.5.3.2 低功耗模式下各模块工作状态

下表为各个模块在不同功耗模式的汇总

模块	RUN	SLEEP	STOP	POW N DOWN
CPU	Y	-	-	-
SRAM1	Y	Y	Y	-
SRAM2	Y	Y	Y	-
UART/I2C/SPI	O	O	-	-
Timer	O	O	-	-
UAC (算法)	O	O	-	-
IWDT	O	O	O	-
PLL	O	O	-	-
RC64M	O	O	-	-
RC32K	O	O	O	
XTH	O	O	-	-
PCOM	O	O	O	-
LVD	O	O	O	-
LDO	Y	Y	Y	-
GPIO	Y	Y	Y	Y ²

注：1.Y：使能工作；O：可选择使能或禁止工作；-：停止工作或掉电

2. 3 个 Wakeup Pin

2.6. 通用 IO (GPIO)

支持最多 24 个 GPIO (不包含 XIP FLASH 接口)，共分成 2 组 (GPIOA/B)。GPIOA 包含 16 个、GPIOB 包含 8 个通用数据输入输出接口，这些管脚可以与其他功能管脚共享，这取决于芯片的配置。通过这些数据接口，可以配置任意数目的管脚作为中断信号输入。

复用功能 (AF) 的备用引脚，极大提高了端口利用的灵活性。GPIO 引脚通过配置相关的寄存器可以用作复用功能输入/输出引脚。

每个 GPIO 引脚可以独立配置为输出 (推挽或开漏)、输入、外设复用功能或模拟模式。每个 GPIO 引脚可以独立配置为上拉、下拉或浮空。

■ GPIO 主要特性如下

- 所有输入/输出引脚方向都可以通过软件进行配置
- 支持施密特触发器输入

- 每个引脚具有弱上/下拉功能
- 支持推挽/开漏输出
- 支持置位/清零输出功能，可按位操作
- 支持模拟输入/输出配置
- 所有 GPIO 引脚可复用为 EXTI，且边沿可配置
- 支持复用功能输入/输出配置
- 支持端口配置锁定

2.7. 嵌套矢量中断控制器（NVIC）

嵌套向量中断控制器(NVIC) 是内核处理器的一个重要组成部分。它与 CPU 处理器内核紧密耦合，实现低中断延迟以及对新到中断的有效处理，外部中断信号连接到 NVIC，NVIC 将对这些中断进行优先级排序。

所有的 NVIC 寄存器只能采用字传输。任何试图读/写半字或字节的结果都是不可预知的。

NVIC 寄存器都是小端格式。访问处理器要正确处理处理器的大小端配置。

■ 主要特性如下

- 支持 23 路可屏蔽向量中断
- 16 个可编程中断优先级
- 可嵌套中断支持
- 中断可屏蔽
- 电平触发和边沿触发

2.8. 外部中断/事件控制器（EXTI）

EXTI 包含 19 个相互独立的边沿检测电路并且可以向处理器产生中断请求或事件唤醒。EXTI 提供 3 种触发类型，其中请求源 0~15 为 GPIO 管脚可支持上升沿触发，下降沿触发和任意沿触发，其他请求源默认使用上升沿触发。EXTI 中每个边沿检测电路都可以分别配置或屏蔽。挂起寄存器保持着状态线的中断请求。

2.9. 定时器和看门狗

2.15.1. 通用定时器 (TIM)

4 路 16 位通用定时器(TIM)。通用控制定时器由一个 16 位的自动装载计数器组成, 它由一个可编程的预分频器驱动。 它适合多种用途, 包含测量输入信号的脉冲宽度(输入捕获), 或者产生输出波形(输出比较、PWM、嵌入死区时间的互补 PWM 等)。 使用定时器预分频器和系统时钟控制预分频器, 可以实现脉冲宽度和波形周期从几个微秒到几个毫秒的调节。 高级控制定时器和通用定时器是完全独立的, 它们不共享任何资源, 但它们可以同步操作。

■ 通用定时器特性如下:

- 16 位向上自动装载计数器
- 16 位可编程(可以实时修改)预分频器, 计数器时钟频率的分频系数为 1~65536 之间的任意数值
- 1 个独立通道:
 - 输入捕获
 - 输出比较
 - PWM 生成
 - 单脉冲模式输出
- 死区时间可编程的互补输出
- 使用外部信号控制定时器和定时器互联的同步电路
- 允许在指定数目的计数器周期之后更新定时器寄存器的重复计数器
- 刹车输入信号可以将定时器输出信号置于复位状态或者一个已知状态
- 如下事件发生时产生中断:
 - 更新: 计数器向上溢出/向下溢出, 计数器初始化(通过软件或者内部/外部触发)
 - 触发事件(计数器启动、停止、初始化或者由内部/外部触发计数)
 - 输入捕获
 - 输出比较
 - 刹车信号输入
- 触发输入作为外部时钟

2.15.2. 独立看门狗定时器（IWDT）

独立看门狗定时器(IWDT)有独立的时钟源(RC32K)。因此即使主时钟失效了,它仍然能保持工作状态,这非常适合于需要独立环境且对计时精度要求不高的场合。当内部向下计数器的计数值达到 0,独立看门狗会产生一个复位。使能独立看门狗的寄存器写保护功能可以避免寄存器的值被意外的配置篡改。

■ 主要特性如下:

- 自由运行的 12 位向下计数器
- 计数器计数至 0x000 时产生复位
- 当递减计数器在窗口外被重新装载,则产生复位
- 可编程预分频因子和可编程装载值
- 时钟由独立的 32K 时钟提供
- 上电硬件使能
- 可作为 STOP 模式唤醒源

2.10. 串行外设接口（SPI）

支持 2 路 SPI 接口,用于微控制器 (MCU) 与满足 SPI 外设之间进行全双工、全同步、串行通讯; SPI 接口 IP 可以工作在查询或中断方式下。

■ SPI 主要特性如下:

- 可选择主/从模式
- 可通过两级分频因子来配置宽范围波特率
- 通过配置 CPHA/CPOL 支持 Mode0/1/2 /3 四种传输协议
- 支持 SPI 一线、二线 Dual、四线 Quad 传输

2.11. 通用异步收发器（UART）

2 路 UART,支持流控、多机通讯、ISO7816 主机模式。

■ UART 主要特性如下:

- CTS, RTS 流控制
- 16 字节的硬件 FIFO
- 波特率支持小数分频
- 接收错误检测, 如帧格式, 校验, 溢出等错误
- IDLE 检测
- 支持多机通信功能
- 支持 7816 主机模式
- 支持波特率自适应功能
- 可编程位宽, 奇偶或 0/1 校验, 停止位个数

2.12. 内部集成电路总线接口 (I2C)

1 个 I2C 总线接口。I2C 模块接收和发送数据, 并将数据从串行转换成并行, 或并行转换成串行。I2C 模块通过数据引脚 SDA 和时钟引脚 SCL 连接到 I2C 总线, 控制所有 I2C 总线规定的时序。本模块支持主模式和从模式。

■ I2C 主要特性如下:

- I2C 主设备功能
- I2C 从设备功能:
 - 多个可编程的 I2C 从设备地址
 - SCL 为低时 SDA 的跳变次数检测
 - 根据需要的 NACK/ACK 回复
 - 输入 SCL 总线滤波功能
- 速率支持 100K/400K/1M
- 支持 7bit 设备地址
- 支持主机仲裁模式

2.13. 可编程模拟比较器 (PCOM)

支持 1 路可编程模拟比较器 (PCOM), 共有 3 个通道。其中 1 个通道用于 VBAT 电压检测。

- PCOM 主要特性如下：
 - VBAT 检测，内嵌 1/3 电阻分压，VBAT 检测范围 0~4.2V
 - 两路模拟检测，检测范围 0~1.4V
 - 8 位 VREF 档位设置，共 256 档电压
 - 支持数字滤波

2.14. CRC 计算单元

循环冗余校验(Cyclic Redundancy Check CRC)是一种根据数据产生简短固定位数校验码的一种散列函数，主要利用除法及余数的原理来检测或校验数据传输或者保存后可能出现的错误。CRC 硬件电路支持用户设置 CRC 初值，结果异或值，输入输出数据正反向，并且支持配置 7/8/16/32 位多项式。

- CRC 主要特性如下：
 - 支持设置 7/8/16/32 位多项式及其正反向设置；
 - 支持 8/16/32 位数据输入输出及其正反向设置；
 - 支持设置 CRC 初值和结果异或值及其正反向设置；

2.15. 安全算法

支持多种对称密码算法和杂凑密码算法。

- 硬件支持的算法如下：
 - 支持 AES 对称算法
 - 支持 128bit/192bit/ 256bit 密钥长度
 - 支持 CBC、ECB、CTR 模式
 - 支持 HRNG

3. 封装及描述

3.1. 封装管脚分布

图 1-1 QFN32 封装管脚分布图

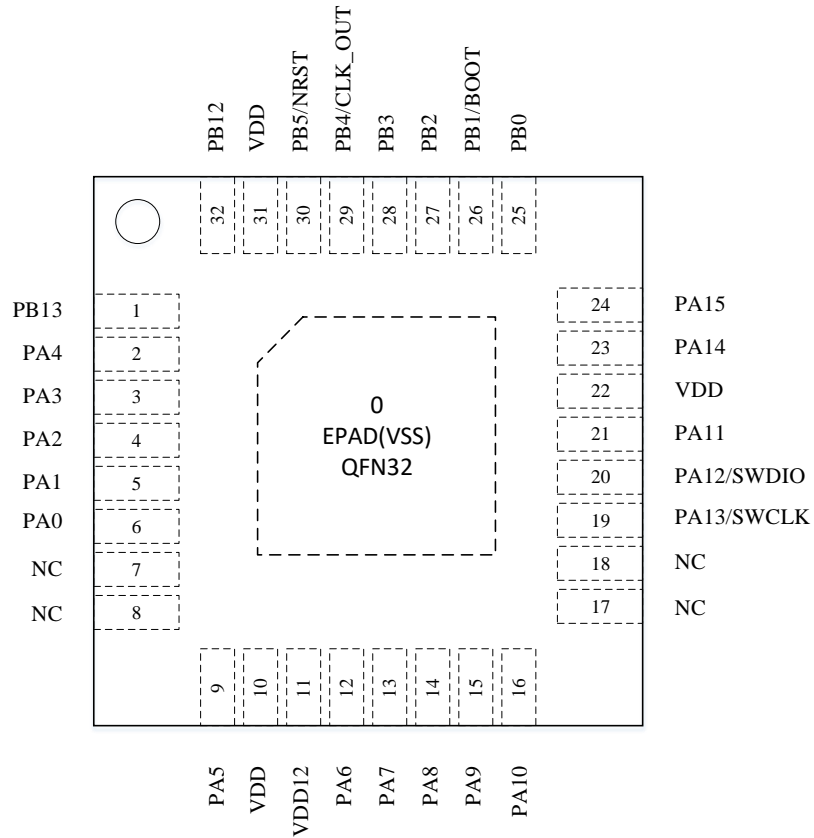
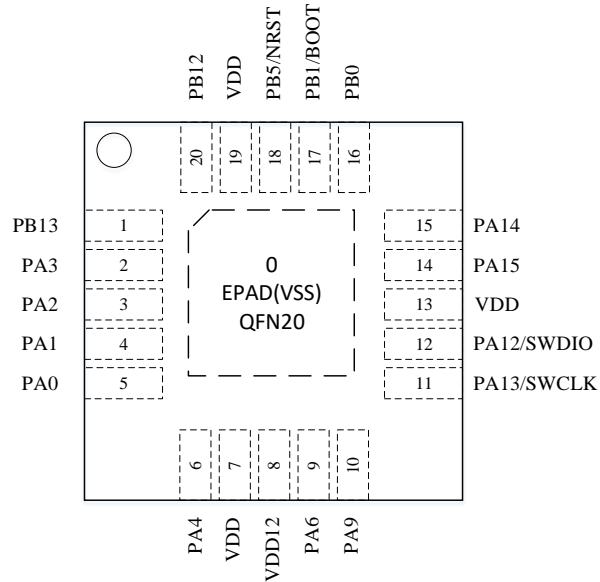


图 1-2 QFN20 封装管脚分布图



3.2. 引脚描述

表 3-1 引脚定义缩写词

称	缩写	定义/说明	
引脚名称		除非引脚名称下方的括号中另有规定，否则芯片复位期间和复位之后的引脚功能与实际引脚名称相同	
引脚类型	S	电源/地	
	I	输入引脚	
	I/O	输入/输出引脚	
I/O 结构	FT	5V 耐压 I/O	
	TC	标准 2.7V~3.6V I/O	
	RST	内部有弱上拉电阻的复位引脚	
复位状态	DIR	AIO	模拟输入/输出
		DI	数字输入
		DO	数字输出
		G	地
	上下拉电阻	PU	内部上拉
	PD	内部下拉	
默认功能		芯片复位后的默认功能。	

引脚功能	复用功能	通过管脚复用寄存器 GPIOx_AF0/GPIOx_AF1 来配置具体功能
	附加功能	通过管脚模式寄存器 GPIOx_MD 寄存器来配置

表 3-2 引脚定义

封装引脚编号		引脚名称	引脚类型	IO结构	复位状态		默认功能	引脚功能描述	
QFN32	QFN20				A/D	PU/		PD	复用功能
6	5	PA0	I/O	TC	AI	NO	GPIO	SPI2_SO	
								UART1_TX	
								TIM3_CH1	
5	4	PA1	I/O	TC	AI	NO	GPIO	SPI2_SI	ANATEST
								UART1_RX	
								TIM3_CH2	
4	3	PA2	I/O	TC	AI	NO	GPIO	SPI1_SO	PCOM1
								SPI2_IO2	
								TIM3_CH2	
3	2	PA3	I/O	TC	AI	NO	GPIO	SPI1_SI	PCOM2
								SPI2_IO3	
								TIM3_CH3	
2	6	PA4	I/O	TC	AI	NO	GPIO	SPI1_CS	XIN
								SPI1_IO2	
								UART2_CTS	
9		PA5	I/O	TC	AO	NO	GPIO	SPI1_IO3	XOUT
								UART1_TX	
								TIM15_CH2	
10	7	VDD	S		P		VDD		
11	8	VDD12	S		P		VDD12		
12	9	PA6	I/O	FT	AI	NO	GPIO	I2C_SDA	VBAT
								UART1_RX	
								UART2_CK	
13		PA7	I/O	TC	AI	NO	GPIO	SPI1_SO	
								UART2_TX	
								TIM15_CH1	
14		PA8	I/O	TC	AI	NO	GPIO	SPI1_SI	
								UART2_RX	
								TIM15_CH2	
15	10	PA9	I/O	TC	AI	NO	GPIO	SPI1_CLK	WKUP1
								SPI2_SO	
								UART2_RTS_DE	
16		PA10	I/O	TC	AI	NO	GPIO	SPI1_CS	
								SPI1_IO2	
21		PA11	I/O	TC	AI	NO	GPIO	SPI1_CLK	
								I2C_SDA	

20	12	PA12	I/O	TC	DI	PU	SWDIO	SWDIO	
								UART2_TX	
								TIM15_CH1	
19	11	PA13	I/O	TC	DI	PU	SWCLK	SWCLK	
								UART2_RX	
								TIM15_CH2	
23	15	PA14	I/O	FT	AI	NO	GPIO	UART1_TX	
								SPI2_SI	
								TIM3_ETR	
24	14	PA15	I/O	FT	AI	NO	GPIO	UART1_RX	
								SPI2_CLK	
25	16	PB0	I/O	FT	AI	NO	GPIO	I2C_SCL	WKUP2
								SPI2_CS	
								UART2_CK	
26	17	PB1	I/O	TC	DI	PU	BOOT	BOOT	
								TIM3_CH4	
								TIM14_CH1	
27		PB2	I/O	TC	AI	NO	GPIO	UART2_TX	
								SPI2_IO2	
								TIM15_CH1	
								SPI7_CLK	
28		PB3	I/O	TC	AI	NO	GPIO	UART2_RX	
								SPI2_IO3	
								TIM3_CH1	
29		PB4	I/O	TC	DO	NO	CLK_OUT	CLK_OUT	
								TIM14_CH1	
30	18	PB5	I/O	TC	DI	PU	NRST	NRST	WKUP4
								TIM3_CH1	低唤醒 永远使能
31	19	VDD	S		P		VDD		
32	20	PB12	I/O	TC	DI	PU	TESTMODE0	SPI2_CS	WKUP3
								SPI1_IO3	
								TIM3_CH3	
1	1	PB13	I/O	TC	DI	PU	TESTMODE1	SPI2_CLK	
								I2C_SCL	
								TIM3_CH4	
22	13	VDD	S				VDD		
EPAD	EPAD	VSS	S		G		VSS		

表 3-3 通过 PxSEL 系统寄存器配置 Port A 引脚复用功能

引脚名称	AF0	AF1	AF2	AF3
PA0	SPI2_SO	UART1_TX	TIM3_CH1	
PA1	SPI2_SI	UART1_RX	TIM3_CH2	
PA2	SPI1_SO	SPI2_IO2	TIM3_CH2	
PA3	SPI1_SI	SPI2_IO3	TIM3_CH3	

PA4	SPI1_CS	SPI1_IO2	UART2_CTS	
PA5	SPI1_IO3	UART1_TX	TIM15_CH2	
PA6	I2C_SDA	UART1_RX	UART2_CK	
PA7	SPI1_SO	UART2_TX	TIM15_CH1	
PA8	SPI1_SI	UART2_RX	TIM15_CH2	
PA9	SPI1_CLK	SPI2_SO	UART2_RTS_DE	
PA10	SPI1_CS	SPI1_IO2		
PA11	SPI1_CLK	I2C_SDA		
PA12	SWDIO	UART2_TX	TIM15_CH1	
PA13	SWCLK	UART2_RX	TIM15_CH2	
PA14	UART1_TX	SPI2_SI	TIM3_ETR	
PA15	UART1_RX	SPI2_CLK		

表 3-4 通过 PxSEL 系统寄存器配置 Port B 引脚复用功能

引脚名称	AF0	AF1	AF2	AF3
PB0	I2C_SCL	SPI2_CS	UART2_CK	
PB1	BOOT	TIM3_CH4	TIM14_CH1	
PB2	UART2_TX	SPI2_IO2	TIM15_CH1	SPI7_CLK
PB3	UART2_RX	SPI2_IO3	TIM3_CH1	
PB4	CLK_OUT	TIM14_CH1		
PB5	NRST		TIM3_CH1	
PB6	SPI7_SI	SPI7_CLK		
PB7	SPI7_CLK	SPI7_SI		
PB8	SPI7_IO3	SPI7_IO2		
PB9	SPI7_IO2	SPI7_IO3		
PB10	SPI7_CS	SPI7_SO		
PB11	SPI7_SO	SPI7_CS		
PB12	SPI2_CS	SPI1_IO3	TIM3_CH3	
PB13	SPI2_CLK	I2C_SCL	TIM3_CH4	

4. 电气参数

4.1. 绝对最大额定值

在实际操作时不要超过这些参数，否则将永久地损坏芯片。

表 4-1 芯片绝对最大额定值

符号	描述	最小值	最大值	单位
T_{stg}	存储温度	-40	125	°C
VDD	电源电压	-0.3	3.9	V
ESD	最大 ESD 电压 (HBM)	-	4000	V
V_{IN}	5V tolerant IO	-0.3	VDD+3.9	V
	其他 IO	-0.3	3.9	
I_{IO}	任意 I/O 和控制引脚上的最大输出电流	-	±25	mA
I_{INJ}	任意 I/O 和控制引脚上的注入电流	-	-5/+0	mA
ΣI_{INJ}	所有 I/O 和控制引脚上的注入电流	-	-25/+0	mA

4.2. 典型操作条件

表 4-2 典型操作条件

符号	描述	最小值	典型值	最大值	单位
VDD	供电电压	2.70	-	3.60	V
VDDA	模拟供电电压	2.70		3.60	V
T _j	Maximum Junction Temp	-	-	125	°C
T _a	Ambient Temp	-40	-	85	°C

4.3. IO 特性

表 4-3 IO 特性

符号	描述	VDD=V			单位
		最小值	典型值	最大值	
V _{IH}	输入高电压	0.8*VDD			V
V _{IL}	输入低电压			0.3	V
V _{HYS}	施密特窗口, VDD=3.3V, FT 管脚		0.3		V
	施密特窗口, VDD=3.3V, TC 管脚		0.1		V
I _L	输入漏电流				μA
V _{OH}	输出高电压	0.9*VDD			V
V _{OL}	输出低电压			0.2	V
RPu	上拉电阻, VDD=3.3V		67		KΩ
RPd	下拉电阻, VDD=3.3V		67		KΩ
I _O	FT 管脚 输出电流	LEVEL 3		8	mA
		LEVEL 7		16	mA
	TC 管脚 输出电流	LEVEL 3		12	mA
		LEVEL 7		24	mA

4.4. 电源电压检测

表 4-4 LVD 低压报警参数

符号	描述		条件	最小值	典型值	最大值	单位	
V _{LV4}	低压报警阈值 4		上升		2.61		V	
			下降		2.51			
V _{LV5}	低压报警阈值 5		上升		2.83			
			下降		2.73			
V _{LV6}	低压报警阈值 6		上升		2.9			
			下降		2.8			
V _{LV7}	低压报警阈值 7		上升		3.0			
			下降		2.9			
V _{HYS}	低压报警迟滞窗口		-		100			mV

1, 报警阈值为设计值

表 4-5 复位电压参数

符号	描述	条件	最小值	典型值	最大值	单位
V _{POR}	上电复位电压	-		1.50		V
V _{PDR}	下电复位电压	-		1.45		

1, 复位电压值为设计值

4.5. 时钟参数

表 4-6 RC32K 振荡器参数

符号	参数说明	条件	参数值			单位
			最小值	典型值	最大值	
f _{RC32K}	时钟频率	VDD=3.3V, T=25°C	31.04	32	32.96	KHz
Duty	时钟占空比	-	45	50	55	%
t _{SU}	时钟启动时间	-	-	22	-	us
I _{OP}	使能时的功耗	-	-	270	-	nA

表 4-7 RC64M 振荡器参数

符号	参数说明	条件	参数值			单位
			最小值	典型值	最大值	
f _{RC64M}	时钟频率	VDD=3.3V, T=25°C	-	64	-	MHz
TRIM	修调时钟精度	-	-	-	1	%
Duty	时钟占空比	-	45	50	55	%
t _{SU}	时钟启动时间	-	-	2.5	-	us
I _{OP}	平均工作电流	-	-	25	-	uA

表 4-8 XTH 外部高速晶振参数

符号	参数说明	条件	参数值			单位
			最小值	典型值	最大值	
f _{HSE_ext}	外部晶振频率	-	4	8	48	MHz
V _{HSEH}	OSC_IN 输入高电平	-	0.7VDD	-	-	V
V _{HSEL}	OSC_IN 输入低电平	-	-	-	0.3VDD	V
t _{w(HSEH)}	OSC_IN 高电平时间	-	10	-	-	ns
t _{w(HSEL)}	OSC_IN 低电平时间	-	10	-	-	ns
I _{DD}	工作电流	-	-	0.9	-	mA
t _{SU} ⁽¹⁾	启动时间	-	-	3	-	ms

表 4-9 PLL 参数

符号	参数说明	条件	参数值			单位
			最小值	典型值	最大值	
f _{CLKIN}	输入时钟频率	-	1		50	MHz
f _{VCO}	VCO 频率	-	200		400	MHz
f _{CLKOUT}	PLL 输出时钟频率	-	25		180	MHz

Jitter	Period jitter, RMS			50		ps
T _{LD}	锁定时间	-			500	us
D _{UTY}	时钟占空比	-	40		60	%
I _{DD}	工作电流	-		0.5		mA

4.6. RSTN 参数

表 4-10 外部 RSTN 引脚参数

符号	参数说明	条件	参数值			单位
			最小值	典型值	最大值	
VIL	输入低电平			2.0		V
VIH	输入高电平			2.2		V
Vhys	施密特窗口			20		mV
RPU	上拉电阻			67		kΩ
t _{NF}	NRST 输入未滤波脉冲			5		ns

注：由设计保证。

4.7. 工作电流

表 4-11 芯片工作电流

符号	参数	条件	F_{HCLK}		典型值		单位
					使能所有外设时钟	关闭所有外设时钟	
I_{DD}	运行模式下的电流供应	所有 IO 口处于模拟状态、关闭 Buzzer、程序运行在 Eflash 中	180M	PLL+内部 RC	13.63	10.81	mA
				PLL+外部晶振	14.58	11.80	
			64M	内部 RC	5.69	4.68	
				32M	内部 RC	3.46	
			8M	内部 RC	1.76	1.64	
			4M	内部 RC	1.03	0.96	
			1M	内部 RC	0.83	0.78	
			RC32K	内部 RC32K	-	-	

表 4-12 低功耗模式电流

符号	参数	条件	典型值		单位
			$T_A=25^{\circ}\text{C}$	$T_A=85^{\circ}\text{C}$	
I_{DD}	SLEEP	180MHz 主频, 进入 SLEEP 模式	7510	-	uA
	STOP	进入 STOP 模式	285	-	
	POWER DOWN		1		

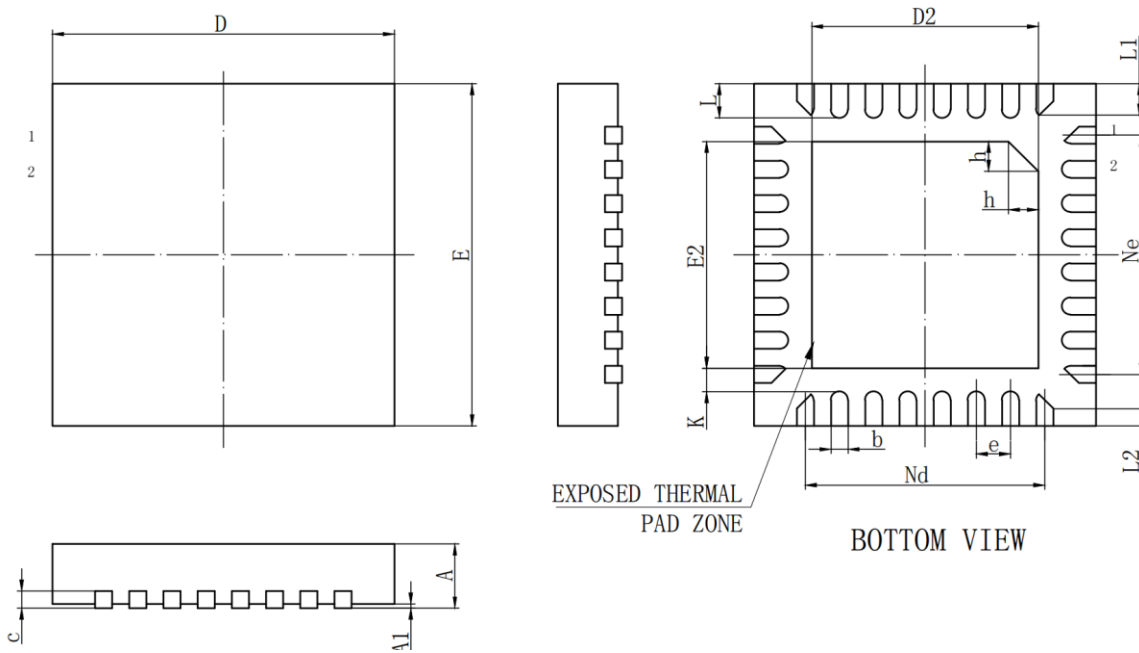
4.8. 启动时间

表 4-13 芯片启动时间

符号	参数说明	条件	参数值			单位
			最小值	典型值	最大值	
twarm	RSTN 变高到执行第一条指令			1150		us
Twakeup	从 PowerDown 模式唤醒到执行第一条指令			1150		us

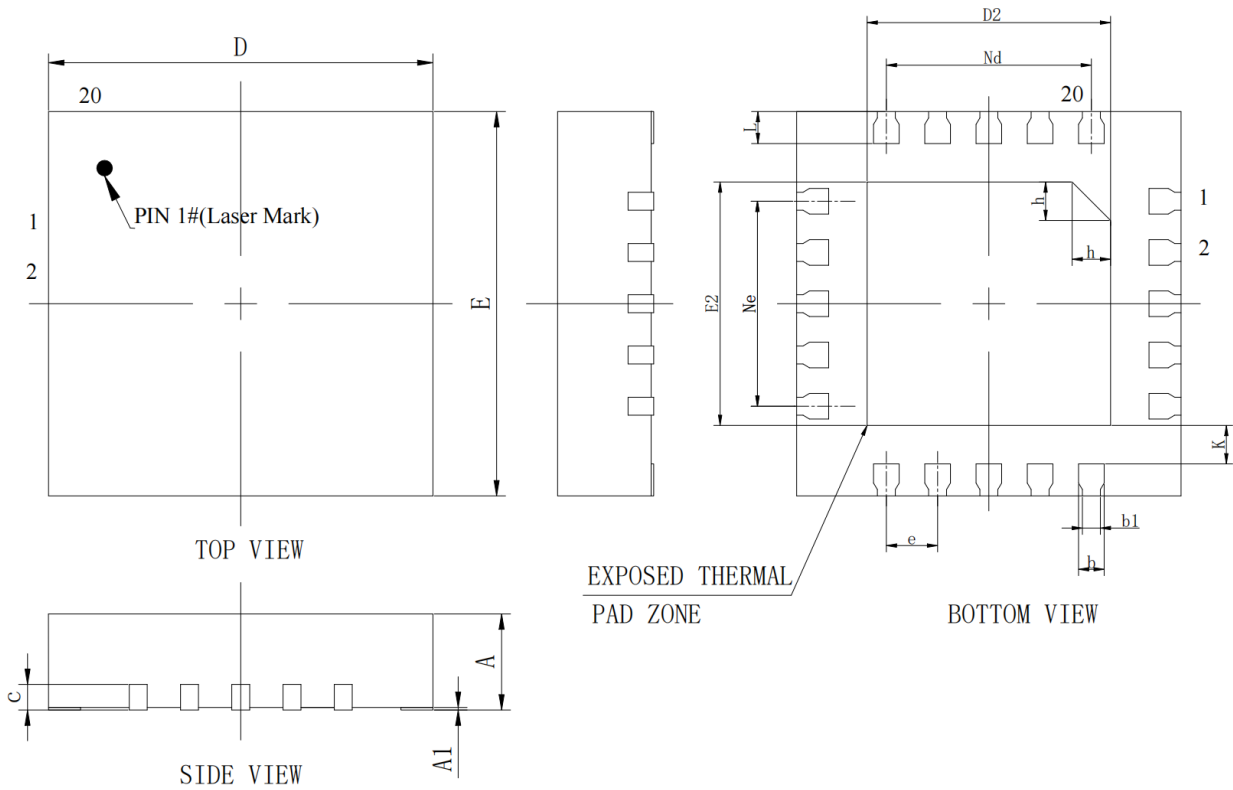
5. 封装信息

5.1. QFN32 封装 (4X4)



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0	0.02	0.05
b	0.15	0.20	0.25
c	0.18	0.20	0.25
D	3.90	4.00	4.10
D2	2.60	2.65	2.70
e	0.40BSC		
Nd	2.80BSC		
E	3.90	4.00	4.10
E2	2.60	2.65	2.70
Ne	2.80BSC		
K	0.20	-	-
L	0.35	0.40	0.45
L1	0.30	0.35	0.40
L2	0.15	0.20	0.25
h	0.30	0.35	0.40
L/F载体尺寸 (mil)	112*112		

5.2. QFN20 封装 (3X3)



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0	0.02	0.05
b	0.15	0.20	0.25
b1	0.14REF		
c	0.203REF		
D	2.90	3.00	3.10
D2	1.80	1.90	2.00
e	0.40BSC		
Ne	1.60BSC		
Nd	1.60BSC		
E	2.90	3.00	3.10
E2	1.80	1.90	2.00
L	0.20	0.25	0.30
h	0.25	0.30	0.35
K	0.30REF		

联系我们

公司：上海航芯电子科技有限公司
地址：上海市闵行区合川路 2570 号科技绿洲三期 2 号楼 702 室
邮编：200241
电话：+86-21-6125 9080
传真：+86-21-6125 9080-830
Email: Service@AisinoChip.com
Website: www.aisinochip.com

版本维护

版本	日期	作者	描述
V1.0	2023-2-10	Aisinochip	初始版
V1.1	2023-5-20	Aisinochip	添加电气参数
V1.2	2023-5-29	Aisinochip	修改引脚框图错误SWCLK和SWDIO
V1.3	2023-6-21	Aisinochip	所有型号添加-T和-U后缀。
V1.4	2024-2-5	Aisinochip	添加KGU6-T型号

本文档的所有部分，其著作权归上海航芯电子科技有限公司（简称航芯公司）所有，未经航芯公司授权许可，任何个人及组织不得复制、转载、仿制本文档的全部或部分组件。本文档没有任何形式的担保、立场表达或其他暗示，若有任何因本文档或其中提及的产品所有资讯所引起的直接或间接损失，航芯公司及所属员工恕不为其担保任何责任。除此以外，本文档所提到的产品规格及资讯仅供参考，内容亦会随时更新，恕不另行通知。